

## SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

Patent Number: JP9069287

Publication date: 1997-03-11

Inventor(s): KUBOTA NORIAKI; ARAI KOJI; SUKEGAWA SHUNICHI; ABE KOICHI

Applicant(s): HITACHI LTD;; TEXAS INSTR JAPAN LTD

Requested Patent:  JP9069287

Application Number: JP19950222427 19950831

Priority Number(s):

IPC Classification: G11C11/401; H01L27/108; H01L21/8242

EC Classification:

Equivalents:

---

### Abstract

---

**PROBLEM TO BE SOLVED:** To remarkably reduce power consumed because of a junction capacity of a sub-word driver in a hierarchical word line structure.

**SOLUTION:** A driving driver is separately installed in each of array controls ACTRL0-ACTRL7 controlling a main word driver MWD and sense amplifier banks SA0-SA8 to generate a driving signal for a sub-word driver SWD. The driving signal is supplied only to the sub-word driver SWD of any of the activated memory mats MMAT0-MMAT7. A junction capacity of the sub-word driver SWD is reduced, whereby the consumed power is decreased.

---

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-69287

(43)公開日 平成9年(1997)3月11日

(51)Int.Cl.  
G 11 C 11/401  
H 01 L 27/108  
21/8242

識別記号 庁内整理番号

F I  
G 11 C 11/34  
H 01 L 27/10

技術表示箇所  
3 6 2 H  
6 8 1 E

審査請求 未請求 請求項の数3 OL (全7頁)

(21)出願番号 特願平7-222427

(22)出願日 平成7年(1995)8月31日

(71)出願人 000005108

株式会社日立製作所  
東京都千代田区神田駿河台四丁目6番地

(71)出願人 390020248

日本テキサス・インスツルメンツ株式会社  
東京都港区北青山3丁目6番12号 青山富士ビル

(72)発明者 久保田 記章

東京都青梅市今井2326番地 株式会社日立  
製作所デバイス開発センタ内

(74)代理人 弁理士 简井 大和

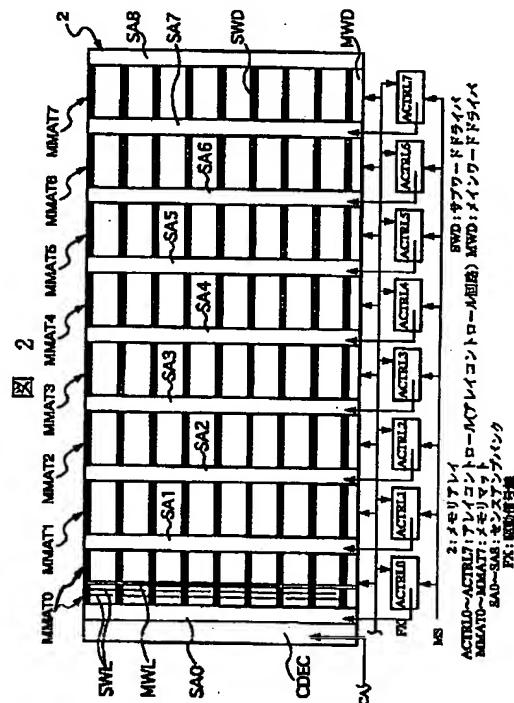
最終頁に続く

(54)【発明の名称】 半導体集積回路装置

(57)【要約】

【目的】 階層形ワード線構造におけるサブワードドライバのジャンクション容量に起因する消費電力を大幅に低減させる。

【構成】 メインワードドライバMWDならびにセンスアンプバンクSA0～SA8の制御などを行うそれぞれのアレイコントロールACTRL0～ACTRL7にサブワードドライバSWDの駆動信号を発生させる駆動用ドライバを分割して設け、活性化されるメモリマットMMAT0～MMAT7のいずれかにおけるサブワードドライバSWDだけに駆動信号を供給する。それにより、サブワードドライバSWDのジャンクション容量を少なくし消費電力を低減する。



## 【特許請求の範囲】

【請求項1】ワード線を多分割化した階層形ワード線構成により構成された半導体集積回路装置であって、メモリアレイを所定のビットに分割化したメモリマット毎に、前記メモリマットに設けられたサブワードドライバを駆動する駆動信号を供給する駆動用ドライバを分割して設けたことを特徴とする半導体集積回路装置。

【請求項2】請求項1記載の半導体集積回路装置において、前記駆動用ドライバをメインワードドライバならびにセンスアンプの制御を行うアレイコントロール回路内に設けたことを特徴とする半導体集積回路装置。

【請求項3】請求項1または2記載の半導体集積回路装置において、前記駆動用ドライバから出力される駆動信号を供給する駆動信号線をセンスアンプバンクの領域上における配線層に形成した構造よりなることを特徴とする半導体集積回路装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、半導体集積回路装置に関し、特に、DRAM (Dynamic Random Access Memory) における階層形ワード線 (DWD: Divided Word Drive) 構造の消費電力の低減に適用して有効な技術に関するものである。

## 【0002】

【従来の技術】本発明者が検討したところによれば、たとえば、大容量のDRAM (Dynamic Random Access Memory) などにおける階層形ワード線 (DWD: Divided Word Driver) 構成は、1本のワード線を行方向に複数のサブワード線に分割し、複数行のワード線が1組の相補の関係にあるようなメインワード線によって制御する階層構造が用いられる。

【0003】なお、この種の半導体集積回路装置について詳しく述べてある例としては、株式会社培風館、1994年11月5日発行「アドバンスト エレクトロニクスI-9 超LSIメモリ」伊藤清男(著)、P142～P176があり、この文献には、DRAMにおける読み出し系回路の回路構成などが記載されている。

## 【0004】

【発明が解決しようとする課題】ところが、上記のようなDRAMにおける階層形ワード線構成では、次のような問題点があることが本発明者により見い出された。

【0005】すなわち、DRAMにおける階層形ワード線構成は、1ワード線に対するワードドライバの数がメインワードドライバの他にサブワードドライバの分割数だけ増加することになり、サブワードドライバの駆動信号を発生させるドライバ(以下、FXドライバという)においては、FXドライバの出力が、サブワードドライバを構成するMOSFETのソース電極などに供給され

るような構成によって、かかるMOSFETが無視できないジャンクション容量をもち、サブワードドライバ全体によって構成されるジャンクション容量のような負荷容量が無視できない程度に大きくなってしまい、消費電力が増加してしまうという問題がある。

【0006】本発明の目的は、階層形ワード線構造におけるサブワードドライバなどによって構成される負荷容量に起因する消費電力を大幅に低減させることのできる半導体集積回路装置を提供することにある。

【0007】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

## 【0008】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0009】すなわち、本発明の半導体集積回路装置は、メモリアレイを所定のビットに分割化したメモリマット毎に、該メモリマットに設けられたサブワードドライバを駆動する駆動信号を供給する駆動用ドライバを設けたものである。

【0010】また、本発明の半導体集積回路装置は、駆動用ドライバをメインワードドライバならびにセンスアンプの制御を行うアレイコントロール回路内に設けたものである。

【0011】さらに、本発明の半導体集積回路装置は、駆動用ドライバから出力される駆動信号を供給する駆動信号線をセンスアンプバンクが位置する領域上における配線層に形成した構造よりなるものである。

## 【0012】

【作用】上記した本発明の半導体集積回路装置によれば、メモリアレイを所定のビットに分割化したメモリマット毎に、該メモリマットに設けられたサブワードドライバを駆動する駆動信号を供給する駆動用ドライバを設けたことにより、活性化が行われるメモリマットにおけるサブワードドライバだけに駆動信号を供給すればよいので、サブワードドライバなどによって構成される負荷容量を小さくすることができ、消費電力を大幅に低減することができる。

【0013】また、本発明の半導体集積回路装置は、駆動用ドライバをメインワードドライバならびにセンスアンプの制御を行うアレイコントロール回路内に設け、駆動用ドライバからの駆動信号線をセンスアンプバンクが位置する領域上における配線層に形成した構造とすることにより、効率よく駆動用ドライバならびに駆動信号線を設けることができる。

## 【0014】

【実施例】以下、本発明の実施例を図面に基づいて詳細に説明する。

## 【0015】図1は、本発明の一実施例による階層形ワ

ード線構造により構成されたDRAMにおける半導体チップのレイアウト図、図2は、本発明の一実施例による階層形ワード線構造により構成されたDRAMにおけるメモリアレイの説明図、図3は、本発明の一実施例によるメモリアレイの周辺に設けられる周辺回路のブロック図、図4は、本発明の一実施例による階層形ワード線構造により構成されたDRAMにおける駆動用ドライバ周辺の拡大説明図である。

【0016】本実施例において、たとえば、単結晶シリコンなどの半導体ウエハ上に半導体素子が形成された半導体集積回路装置であるDRAMの半導体チップ1は、半導体チップ1の周辺部に2進情報の1ビットを記憶するメモリセルがマトリクス構造に2次元配置されたメモリアレイ2が分割して設けられている。

【0017】また、分割されたメモリアレイ2の上下間にならびに中央部には、I/O回路（入出力回路）、冗長回路、バッファ回路やドライバ回路などから構成される周辺回路3が設けられている。

【0018】次に、図1においてハッチングで示したメモリアレイ2は、特に制限されないが、図2に示すように、8分割されたメモリマットMMAT0～MMAT7に細分化されており、それぞれのメモリマットMMAT0～MMAT7の端から端までは、メインワード線MWLが走り、メモリマットMMAT0～MMAT7における各ブロックにおいてメインワード線MWLは、サブワードドライバSWDを有してサブワード線SWLに接続されることとなる（図1におけるハッチングは、断面を示すものではない）。

【0019】また、これらメモリマットMMAT0～MMAT7には、選択メモリセルから読み出される微小なセル信号を読み出し増幅するセンスアンプ回路により構成されているセンスアンプバンクSA0～SA8が設けられている。

【0020】さらに、メモリマットMMAT0～MMAT7における各ブロックには、上述のようにサブワード線SWLを駆動するサブワードドライバSWDが設けられ、各々のメモリマットMMAT0～MMAT7の周辺下部には、メインワード線MWLを駆動するメインワードドライバMWDが設けられている。

【0021】また、メモリアレイ2の周辺部近傍に位置するセンスアンプバンクSA0の近傍には、ビット線の選択を行うカラムデコーダCDECが設けられ、このカラムデコーダCDECには、カラムアドレス選択信号CAが入力される。

【0022】さらに、メインワードドライバMWDの近傍には、メインワードドライバMWDならびにセンスアンプバンクSA0～SA8の制御および後述する駆動用ドライバの制御などを行うアレイコントロール（アレイコントロール回路）ACTRL0～ACTRL7が設けられている。

【0023】そして、これらアレイコントロールACTRL0～ACTRL7のそれぞれにサブワードドライバSWDの駆動信号線FXを発生させる駆動用ドライバが設けられ、駆動用ドライバに接続された駆動信号線FXからそれぞれのサブワードドライバSWDに出力される。

【0024】また、アレイコントロールACTRL0～ACTRL7は、マット選択信号MSなどがタイミング発生回路から供給されることになる。

【0025】この構成において、メモリマットMMAT0～MMAT7におけるサブワード線SWLはサブワードドライバSWD、メインワード線MWL、メインワードドライバMWDの経路によって逐一的に選択されることになる。

【0026】サブワードドライバSWDは、たとえば、図4において示されるように、MOSFETQ1ないしQ3から構成され、MOSFETQ1、Q3のソースに駆動信号線FXからの信号を受ける駆動信号線FXも選択のメインワード線MWLに対応して、アレイコントロール部の駆動用ドライバで逐一的に選択される。

【0027】メインワードドライバMWDと駆動用ドライバには、特に制限はないが、図3に図示のロウアドレスバッファRABからのi+1ビットの相補内部が供給される。

【0028】サブワードドライバSWDは、それに対応されたメインワード線MWLが選択され、かつ駆動信号線FXの信号がハイレベルとされることで、動作状態とされる。

【0029】メインワードドライバMWDと駆動用ドライバは、図3のアドレスマルチプレクサAMXから伝送されるロウアドレス信号を、タイミング発生回路TGから供給されるタイミング信号XLに従って取り込み保持する。このとき取り込んだロウアドレス信号によりメインワード線MWL、駆動信号線FXが選択される。

【0030】アドレスマルチプレクサAMXは、特に制限されないが、ダイナミック形RAMが通常動作のモードとされタイミング発生回路TGからリフレッシュ動作制限用のロウレベルのタイミング信号REFが供給されるとき、外部アドレス端子A0ないしAiを介して時分割的に供給されるアドレス信号のうちのXアドレス信号を選択し、上記ロウアドレス信号としてロウアドレスバッファRABに伝達する。なお、ダイナミック形RAMがCBRリフレッシュ（キャビリティアスリリフレッシュサイクル）とされ、上記タイミング信号REFがハイレベルとされるとき、リフレッシュアドレスカウンタRFCから供給されるリフレッシュアドレス信号を選択し、上記ロウアドレス信号としてロウアドレスバッファRABに伝達する。

【0031】リフレッシュアドレスカウンタRFCは、特に制限されないがダイナミック形RAMがCBRリフ

レッシュモードとされるとき、タイミング発生回路TGから供給されるタイミング信号やRCに従って進歩動作を行う。

【0032】メモリセットを構成する相補ビット線は、その一方において、センスアンプバンクSA0～SA8に対応する単位増幅回路に結合される。センスアンプバンクSA0～SA8は、メモリマットMMAT0～MMAT7の各相補ビット線に対応して設けられる複数の単位増幅回路を含む。また、センスアンプバンクSA0～SA8には上記単位増幅回路の他に、ダイナミック形RAMが待機時に相補ビット線対をイコライズする図示しないnチャネル形MOSFET、左右のメモリマットを一個のセンスアンプブロックが共有するシェアード用nチャネル形MOSFET、および相補ビット線をI/O線に接続するnチャネル形MOSFETを含む。

【0033】図2のカラムアドレスデコーダCDECは、特に制限されないが、図3のカラムアドレスバッファCABから相補内部アドレス信号が供給され、タイミング発生回路TGからタイミング信号やYが供給される。

【0034】カラムアドレスデコーダCDECは、上記タイミング信号やYがハイレベルとされることで、選択的に動作状態とされる。この動作状態において、カラムアドレスデコーダCDECは、上記内部相補アドレス信号をデコードし、対応するビット選択信号線を逐一的にハイレベルとする。

【0035】カラムアドレスバッファCABは、外部端子A0～Aiを介して時分割的に供給されるYアドレス信号をタイミング発生回路TGから供給されるタイミング信号やYLに従って取り込み、保持する。また、これらのYアドレス信号をもとに、相補内部アドレス信号を形成する。特に制限されないが、このうち上位数ビットの内部相補アドレス信号は図示しないメインアンプセレクタに供給され、残りの相補内部アドレスは、前述のように、カラムアドレスデコーダCDECに供給される。

【0036】相補共通データ線CD0～CDiは、データ入出力回路I/Oに結合される。データ入出力回路I/Oには、タイミング発生回路TGからタイミング信号やWおよびやRが供給される。アレイコントロールは、タイミング回路発生回路TGからマット選択信号MSおよび各タイミング信号より、各MATの制御回路をコントロールする。

【0037】タイミング発生回路TGには、外部装置から、起動制御信号として、ロウアドレスストローブ信号/RASおよびカラムアドレスストローブ信号/WEならびに出力イネーブル信号/OEが供給され、上記外部起動制御信号をもとに、ダイナミック形RAMの動作モードを判定するとともに、上記各種のタイミング信号を形成し、ダイナミック形RAMの各部に供給する。

【0038】次に、図4を用いて駆動信号線FXを説明

する。

【0039】たとえば、アレイコントロールACTRL0における駆動信号線FXは、アレイコントロールACTRL0に設けられた8個の駆動用ドライバFXD0～FXD7のそれぞれに駆動信号線FX0～FX7が接続されている。

【0040】そして、センスアンプバンクSA0上の配線層に形成された駆動信号線FX0～FX7は、メモリマットMMAT0における各ブロックに設けられた各サブワードドライバSWDに接続されている。

【0041】また、これら駆動信号線FX0～FX7は、センスアンプバンクSA0が位置する領域の上方の所定の配線層に形成されている。

【0042】さらに、他の活性化させるメモリマットMMAT1～MMAT7(図1)も同様に、アレイコントロールACTRL1～ACTRL7に駆動用ドライバならびに駆動信号線が設けられている。

【0043】また、メモリマットMMAT1～MMAT7においても同様に駆動用ドライバからの信号線はセンスアンプバンクSA1～SA7(図1)が位置する領域の上方の所定の配線層に形成されている。

【0044】次に、本実施例の作用について説明する。

【0045】まず、マット選択信号MSによってアレイコントロールACTRL0～ACTRL7のいずれかが選択され、ロードアドレス選択信号によりメインワード線MWLの選択が行われる。

【0046】次に、選択されたメインワード線MWLに対応する駆動用ドライバFXD0～FXD7の選択を行い、駆動されたいずれかの駆動用ドライバFXD0～FXD7に接続されている駆動信号線FX0～FX7のいずれかが選択される。

【0047】そして、所定の1本のサブワード線SWLが選択され、カラムアドレス選択信号CAによりカラムアドレスの選択を行い、その交点のビットの読み出しが行われることになる。

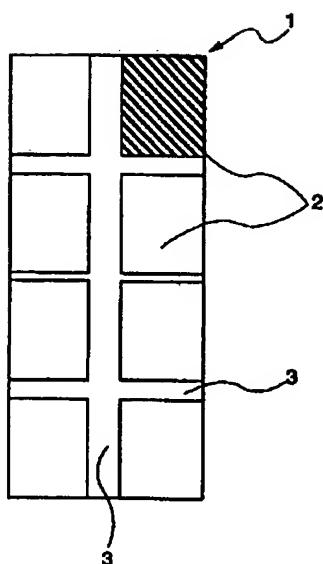
【0048】よって、駆動用ドライバFXD0～FXD7は、活性化されるメモリマットMMAT0～MMAT7のいずれかにおけるサブワードドライバSWDに駆動信号を供給すればよいことになる。

【0049】それにより、本実施例によれば、それぞれのメモリマットMMAT0～MMAT7毎にサブワードドライバSWDの駆動信号を発生させる駆動用ドライバFXD0～FXD7を設けたことにより、駆動用ドライバFXD0～FXD7の負荷となるサブワードドライバSWDのジャンクション容量を大幅に少なくすることができ、DRAMにおける消費電力を低減することができる。

【0050】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲

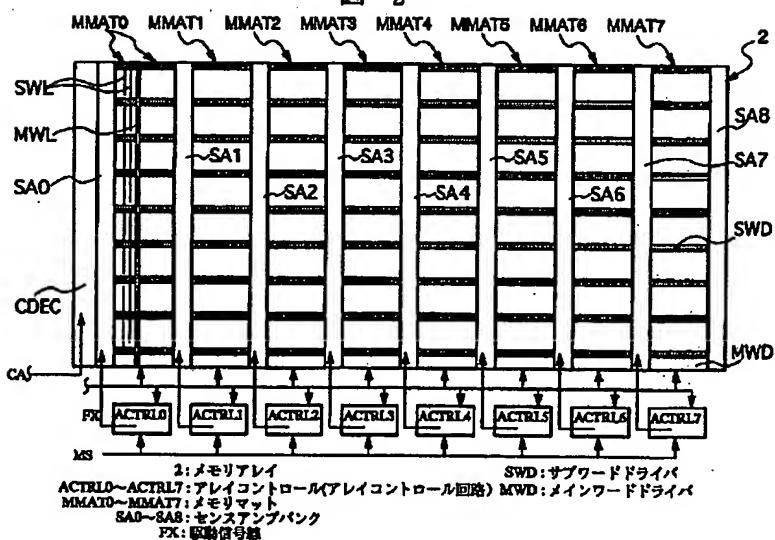
【図1】

図 1



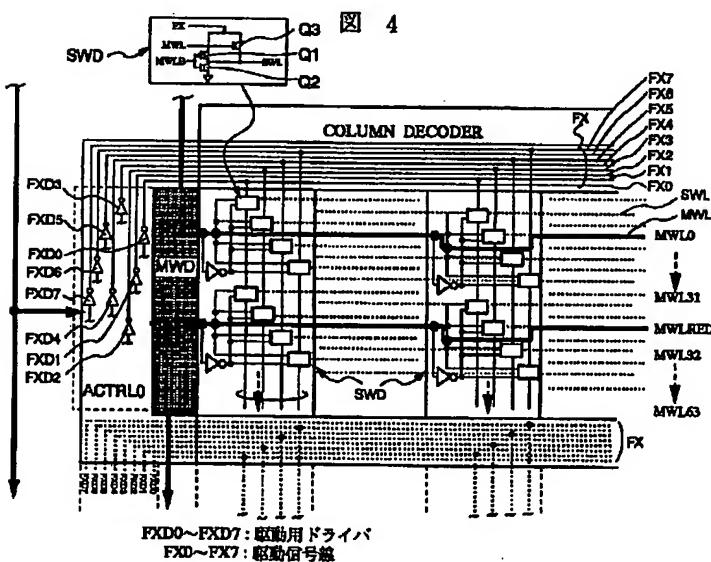
【図2】

図 2



【図4】

図 4



フロントページの続き

(72)発明者 荒井 公司

東京都青梅市今井2326番地 株式会社日立  
製作所デバイス開発センタ内

(72)発明者 助川 俊一

茨城県稻敷郡美浦村木原2350 日本テキサ  
ス・インスツルメンツ株式会社内

(72)発明者 阿部 浩一

茨城県稲敷郡美浦村木原2350 日本テキサ  
ス・インスツルメンツ株式会社内